

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 16 日  
Application Date

申請案號：091118520  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 9 月 12 日  
Issue Date

發文字號：09111017429  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件及其偵測方法
	英 文	A test key for detecting whether the overlay of word line structure and deep trench capacitor of DRAM is normal
二、 發明人	姓 名 (中文)	1. 吳鐵將 2. 黃建章 3. 丁裕偉 4. 姜伯青
	姓 名 (英文)	1. Wu Tie Jiang 2. Huang Chien-Chang 3. Ting Yu-Wei 4. Bo Ching Jiang
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 台北市內湖區文德路66巷69弄14號2樓 4. 花蓮縣吉安鄉東海五街35號
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
	代表人 姓 名 (英文)	1. Lien Jih-Chang



四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件及其偵測方法)

一種用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中，包括一溝槽電容器，設置於上述切割道中，具有一埋入板；一矩形字元線，設置於上述切割道之上，覆蓋部分之深溝電容器；一第一路過字元線和一第二路過字元線，設置於溝槽電容器上方兩側；一第一摻雜區和一第二摻雜區，分別設置於矩形字元線與第一路過字元線之間，以及矩形字元線與第二路過字元線之間；一第一接觸插塞，耦接至第一摻雜區；一第二接觸插塞，耦接至第二摻雜區；以及一第三接觸插塞，耦接至埋入板。

英文發明摘要 (發明之名稱：A test key for detecting whether the overlay of word line structure and deep trench capacitor of DRAM is normal)

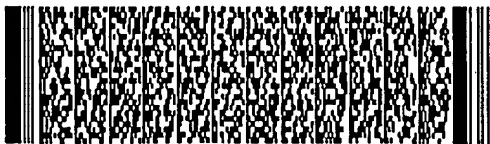
A test key for detecting whether the overlay of word line structure and deep trench capacitor of DRAM is normal. The test key is deposited in the scribe line region of a wafer. In the test key of the present invention, the deep trench capacitor is deposited in the scribe line region and has a buried plate. A rectangle word line is deposited in the scribe line and covers a portion of the deep trench capacitor, and two passing word lines are deposited above the deep trench. A



四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件及其偵測方法)

英文發明摘要 (發明之名稱：A test key for detecting whether the overlay of word line structure and deep trench capacitor of DRAM is normal)

first doping region and a second doping region are deposited between the rectangle word line and the first passing word line and between the rectangle word line and the second passing word line respectively. A first plug, a second plug and a third plugs are coupled to the first doping region, the second doping region and the buried plate respectively.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明領域】

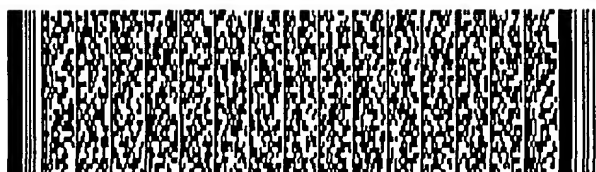
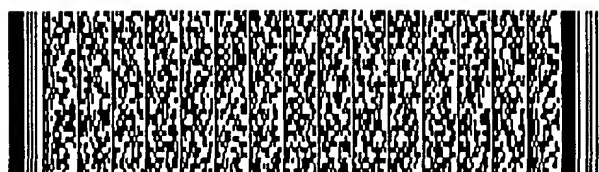
本發明係有關於一種測試元件 (test key)，特別是有關於一種偵測動態隨機存取記憶體之字元線結構與深溝電容器 (deep trench capacitor) 重疊偏移的測試元件偵測溝槽電容器與主動區 (active area) 之誤對準 (misalignment) 的測試元件。

### 【習知技術】

溝槽電容器為一種動態隨機存取記憶體 (dynamic random access memory; 簡稱DRAM) 中常見的電容器結構，其係形成於半導體矽基底中，並藉由增加溝槽電容器於半導體矽基底中的深度可以增加其表面積，以增加其電容量。

第1圖係繪示傳統的溝槽電容器之佈局圖。溝槽電容器10係配置在路過字元線 (passing wordline) 下方。電晶體14係經由擴散區18電性耦接至溝槽電容器10的儲存節點16。另一擴散區20係連接至接觸窗22，而接觸窗22則連接至位元線 (未繪示)，以藉由電晶體14來讀取或寫入至儲存節點16。電晶體14係藉由字元線12來趨動。當電壓施加至字元線12時，字元線12下方的通道會導通，而於兩擴散區18和20之間產生電流並流入或流出儲存節點16。

第2圖係為第1圖的A-A剖面圖。當溝槽電容器10完成後，會於基底和溝槽電容器中形成淺溝槽隔離28，以定義主動區AA，並用以隔離將形成之路過字元線12和溝槽電容



## 五、發明說明 (2)

器10。之後，於基底上形成字元線12。再配合以字元線和淺溝槽隔離28為離子植入罩幕，於字元線兩側的主動區形成做為源極/汲極的摻雜區18和20。因此，若字元線的光罩與溝槽電容器的光罩未對準時，會影響所形成的摻雜區18和20之大小。如此會使得相鄰的記憶胞產生漏電流，以及記憶胞無效，因而造成製程良率的下降。

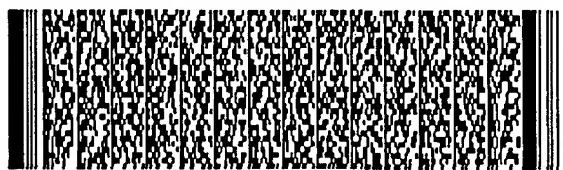
因此，若能控制字元線結構的光罩與溝槽電容器的光罩之對準誤差在可允許的範圍內，則可提高記憶胞的可靠度及製程之良率。

### 【發明之目的及概要】

有鑑於此，本發明之首要目的，在於提供一種可偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊是否產生偏移的測試方法。

此外，本發明的另一目的，在於提供一種可偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊是否產生偏移的測試元件。

根據上述目的，本發明係提供之一種用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中。上述測試元件包括一溝槽電容器，設置於上述切割道中，具有一埋入板；一矩形字元線，設置於上述切割道之上，覆蓋部分之深溝電容器；一第一路過字元線和一第二路過字元線，設置於溝槽電容器上方兩側；一第一摻雜區和一第二摻雜

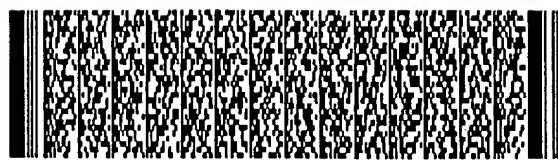


### 五、發明說明 (3)

區，分別設置於矩形字元線與第一路過字元線之間，以及矩形字元線與第二路過字元線之間；一第一接觸插塞，耦接至第一摻雜區；一第二接觸插塞，耦接至第二摻雜區；以及一第三接觸插塞，耦接至埋入板。

根據上述目的，本發明並提供一種偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊是否產生偏移的測試方法，包括提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區；於上述晶圓之切割道中形成一測試元件，並同時於上述晶圓之記憶胞區形成複數記憶胞，其中該測試元件包括一溝槽電容器，設置於切割道中，具有一埋入板；一矩形字元線，設置於切割道之上，覆蓋部分之溝槽電容器；一第一路過字元線和一第二路過字元線，設置於溝槽電容器上方兩側；一第一摻雜區和一第二摻雜區，分別設置於矩形字元線與第一路過字元線之間，以及矩形字元線與第二路過字元線之間；一第一接觸插塞，耦接至第一摻雜區；一第二接觸插塞，耦接至第二摻雜區；一第三接觸插塞，耦接至埋入板；分別量測第一接觸插塞和第三接觸插塞間之一第一電流值，以及第二接觸插塞和第三接觸插塞間之一第二電流值；根據第一與第二電流值，估算測試元件上之矩形字元線結構與溝槽電容器的重疊偏移程度；以及藉由測試元件上之矩形字元線結構與溝槽電容器的重疊偏移程度，估算記憶胞區內記憶胞中之字元線結構與溝槽電容器的重疊偏移程度。

為讓本發明之上述目的、特徵及優點能更明顯易懂，





#### 五、發明說明 (4)

下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

##### 【發明的詳細說明】

請參照第3圖以及第4a、4b圖，用以說明本發明之一實施例。其中第3圖為本發明中用以偵測一動態隨機存取記憶體之偵測字元線結構與深溝電容器重疊偏移的測試元件的佈局圖，其中測試元件係設置於晶圓之切割道中。第4a圖係為第3圖沿線段B-B'之剖面圖，而第4b圖係為第3圖沿線段C-C'之剖面圖。

首先在一晶圓100之切割道區域160上設置一溝槽電容器110。此溝槽電容器110包括儲存節點116、位於埋入式n型井區NW中之埋入板(buried plate)181和置於兩者之間的電容器介電層。儲存節點116與摻雜的p型井區PW之間係藉由介電領圈126做電性隔離。

接著，於該切割道區域160之上，分別設置一矩形字元線12a、一第一路過字元線12b和一第二路過字元線12c，其中矩形字元線12a覆蓋部分之該深溝電容器110，而第一路過字元線12b和第二路過字元線12c係設置於溝槽電容器110上方兩側。另外，第一、第二路過字元線12b、12c之寬度均相等，大體為0.2微米，而矩形字元線12a之寬度會大於該第一、第二路過字元線12b、12c之寬度，大體為0.6微米。

接下來，藉由離子怖植的方式，於分別於矩形字元線



#### 五、發明說明 (5)

12a與第一路過字元線12b之間，形成一第一摻雜區201以及於矩形字元線12a與第二路過字元線12c之間，形成一第二摻雜區202，如第4a圖中所示。

最後，分別設置第一至第四接觸插塞CS1、CS2、CB1、CB2，耦接至第一摻雜區201、第二摻雜區202、上述埋入板181以及矩形字元線12a，如圖所示。

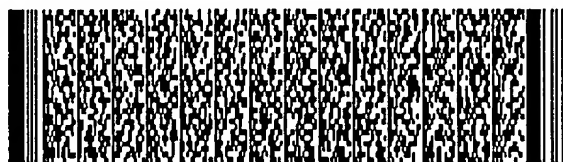
請再參考第4a及第4b圖，埋入板181、第一摻雜區201以及矩形字元線12a可構成一電晶體141，其中埋入板181作為電晶體141之源極，第一摻雜區201作為電晶體141之汲極，而矩形字元線12a則作為電晶體141之閘極。另一方面，埋入板181、第二摻雜區202以及矩形字元線12a可構成一電晶體142，其中埋入板181作為電晶體142之源極，第一摻雜區202作為電晶體142之汲極，而矩形字元線12a則作為電晶體142之閘極。

因此，本發明可藉由施加一既定偏壓 $V_{bias}$ 至矩形字元線12a，以及一既定電壓 $V_{DC}$ 於第一接觸插塞CS1和該第三接觸插塞CB1間，且浮接第二接觸插塞CS2，而測得一第一電流 $I_1$ ，並且第一電流 $I_1$ 會符合數學式一

$$I_1 = C * W / (L_S - L_{BS} + \Delta L) ; \quad \text{式一}$$

其中， $W$ 為第三接觸插塞CB1之寬度， $L_{BS}$ 為埋入板之擴散距離， $\Delta L$ 為矩形字元線之偏移量， $L_S$ 為第一摻雜區與溝槽電容器間之距離， $C$ 為數個係數所組成之一固定常數。

另一方面，藉由施加一既定偏壓 $V_{bias}$ 至矩形字元線



## 五、發明說明 (6)

12a，以及一既定電壓 $V_{DC}$ 於第二接觸插塞CS2和該第三接觸插塞CS1間，且浮接第一接觸插塞CS1，而測得一第二電流 $I_2$ ，並且第二電流 $I_2$ 會符合數學式二

$$I_2 = C * W / (L_S - L_{BS} - \Delta L) ; \quad \text{式二}$$

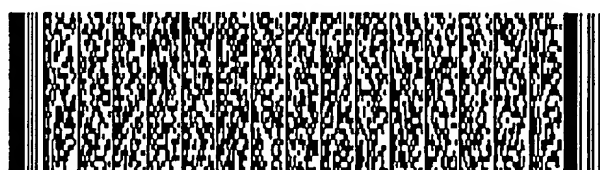
其中， $W$ 為第二接觸插塞CB2之寬度， $L_{BS}$ 為埋入板之擴散距離， $\Delta L$ 為矩形字元線之偏移量， $L_S$ 為第二摻雜區與溝槽電容器間之距離， $C$ 為數個係數所組成之一固定常數。

由於是在相同的製程條件下，形成電晶體141、142，因此第一、第二接觸插塞CB1、CB2之寬度皆為 $W$ ，埋入板之擴散距離皆為 $L_{BS}$ ，第一、第二摻雜區與溝槽電容器間之距離皆為 $L_S$ 。故式一及式二可改寫為

$$I_1 / I_2 = (L_S - L_{BS} + \Delta L) / (L_S - L_{BS} - \Delta L) ; \quad \text{式三}$$

$$\Delta L = (L_{BS} - L_S) * (I_1 - I_2) / (I_1 + I_2) ; \quad \text{式四}$$

根據上述式三及式四，可以得知若矩形字元線之偏移量 $\Delta L$ 為零時，第一電流會相等於第二電流。反過來說，若第一電流不等於第二電流時，則表示矩形字元線與溝槽電容器間之重疊有產生偏移，並且偏移量及偏移方向可藉由式四求得。舉例來說，若字元線12a、12b、12c往電晶體141方向偏移時，第一電流 $I_1$ 會小於第二電流 $I_2$ 。反過來說，若字元線12a、12b、12c往電晶體141方向偏移時，第一電流 $I_1$ 會大於第二電流 $I_2$ 。因此，可藉由量測上述測試元件中對稱的兩MOS電晶體141、142於相同條件下產生之導通電流，來監控制程中字元線結構與深溝電容間是否產



## 五、發明說明 (7)

生偏移。

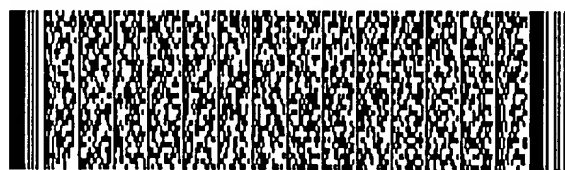
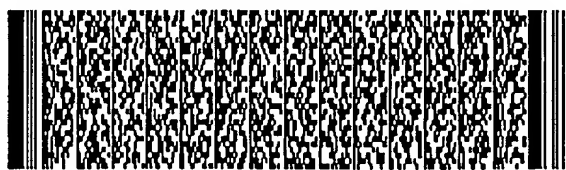
本發明提供之偵測溝槽電容器中埋入層之濃度異常的方法，包括下列步驟，首先提供一晶圓100，該晶圓至少具有一切割道區和一記憶胞區。

接著，於該晶圓100之該切割道160形成一測試元件，並同時於該晶圓100之該記憶胞區形成複數記憶胞，其中該測試元件之構造如第3圖所示，且該記憶胞之結構如第1、第2圖所示。

然後，藉由施加一既定偏壓 $V_{bias}$ 至矩形字元線12a，以及一既定電壓 $V_{DC}$ 於第一接觸插塞CS1和該第三接觸插塞CB1間，且浮接第二接觸插塞CS2，以測得電晶體141之第一電流 $I_1$ 。另外，藉由施加一既定偏壓 $V_{bias}$ 至矩形字元線12a，以及一既定電壓 $V_{DC}$ 於第二接觸插塞CS2和該第三接觸插塞CB1間，且浮接第一接觸插塞CS1，以測得電晶體142之第一電流 $I_2$ 。

接著，根據第一與第二電流 $I_1$ 、 $I_2$ ，以及上述式三、式四，來估算測試元件上之矩形字元線12a與溝槽電容器110的重疊偏移程度。最後，藉由測試元件上之矩形字元線12a與溝槽電容器110的重疊偏移程度，估算記憶胞區之複數記憶胞中之字元線結構與溝槽電容器的重疊偏移程度。

由於當光罩偏移時，無論是記憶胞區或是切割道上的測試元件均會產生一致的偏移，因此，藉由切割道上的測試元件，可以反應出記憶胞的閘極結構與深溝電容間是否



#### 五、發明說明 (8)

產生重疊偏移的狀況。

此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控溝槽電容器中埋入層之摻雜濃度是否有異常，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖係為習知DRAM電容器的佈局圖。

第2圖係為第1圖沿線段A-A'之剖面圖。

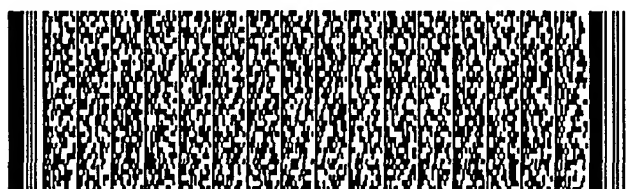
第3圖為本發明之偵測字元線結構與深溝電容器重疊是否產生偏移之測試元件的佈局圖。

第4a圖係為第3圖沿線段B-B'之剖面圖。

第4b圖係為第3圖沿線段C-C'之剖面圖。

## 【符號說明】

10~溝槽電容器；	12~字元線；
14、141、142~電晶體；	16、116~儲存節點；
18、20~摻雜區；	22~接觸插塞；
28、128~淺溝槽隔離；	126~介電領圈；
100~基底；	12a~矩形字元線；
110~溝槽電容器；	12b、12c~路過字元線；
160~切割道區；	NW~埋入式n型井區；
PW~p型井區；	201~第一摻雜區；
202~第二摻雜區；	181~埋入板；
CB1~第一接觸插塞；	CB2~第二接觸插塞；
CS1~第三接觸插塞；	CS2~第四接觸插塞；
$I_1$ ~第一電流；	$I_2$ ~第二電流。



## 六、申請專利範圍

1. 一種用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件，係設置於一晶圓之切割道中，該測試元件包括：

一溝槽電容器，設置於該切割道中，具有一埋入板；  
一矩形字元線，設置於該切割道之上，覆蓋部分之該深溝電容器；

一第一路過字元線和一第二路過字元線，設置於該溝槽電容器上方兩側；

一第一摻雜區和一第二摻雜區，分別設置於該矩形字元線與該第一路過字元線之間，以及該矩形字元線與該第二路過字元線之間；

一第一接觸插塞，耦接至該第一摻雜區；

一第二接觸插塞，耦接至該第二摻雜區；以及

一第三接觸插塞，耦接該埋入板。

2. 根據申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件，其中更包括至少一第四接觸插塞，耦接至該矩形字元線。

3. 根據申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件，其中該第一接觸插塞和該第三接觸插塞之間用以測得一第一電流值，以及該第二接觸插塞和該第三接觸插塞之間用以測得一第二電流值。

4. 根據申請專利範圍第1項所述之用於偵測動態隨機



## 六、申請專利範圍

存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件，其中第一、第二路過字元線之寬度均相等，且該矩形字元線之寬度大於該第一、第二路過字元線之寬度。

5. 根據申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試元件，其中該矩形字元線之寬度大體為0.6微米。

6. 一種偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的方法，包括下列步驟：

提供一晶圓，該晶圓至少具有一切割道和一記憶胞區；

於該晶圓之該切割道形成一測試元件，並同時於該晶圓之該記憶胞區形成複數記憶胞，

其中該測試元件包括：

一溝槽電容器，設置於該切割道中，具有一埋入板；

一矩形字元線，設置於該切割道之上，覆蓋部分之該溝槽電容器；

一第一路過字元線和一第二路過字元線，設置於該溝槽電容器上方兩側；

一第一摻雜區和一第二摻雜區，分別設置於該矩形字元線與該第一路過字元線之間，以及該矩形字元線與該第二路過字元線之間；

一第一接觸插塞，耦接至該第一摻雜區；

一第二接觸插塞，耦接至該第二摻雜區；以及

一第三接觸插塞，耦接該埋入板；





## 六、申請專利範圍

分別量測第一接觸插塞和該第三接觸插塞間之一第一電流值，以及該第二接觸插塞和該第三接觸窗插塞之一第二電流值；

根據該第一與該第二電流值，估算該測試元件上之該矩形字元線結構與該溝槽電容器的重疊偏移程度；以及

藉由該測試元件上之該矩形字元線與該溝槽電容器的重疊偏移程度，估算該記憶胞區之該等記憶胞中之字元線結構與溝槽電容器的重疊偏移程度。

7. 根據申請專利範圍第6項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試方法，其中該測試元件更包括至少一第四接觸插塞，耦接至該矩形字元線。

8. 根據申請專利範圍第6項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試方法，其中係藉由施加一既定偏壓至該矩形字元線，一既定電壓於該第一接觸插塞和該第三接觸插塞間，並同時浮接該第二接觸插塞，而測得該第一電流。

9. 根據申請專利範圍第6項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試方法，其中係藉由施加一既定偏壓至該矩形字元線，一既定電壓於該第二接觸插塞和該第三接觸插塞間，並同時浮接該第一接觸插塞，而測得該第二電流。

10. 根據申請專利範圍第6項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試方

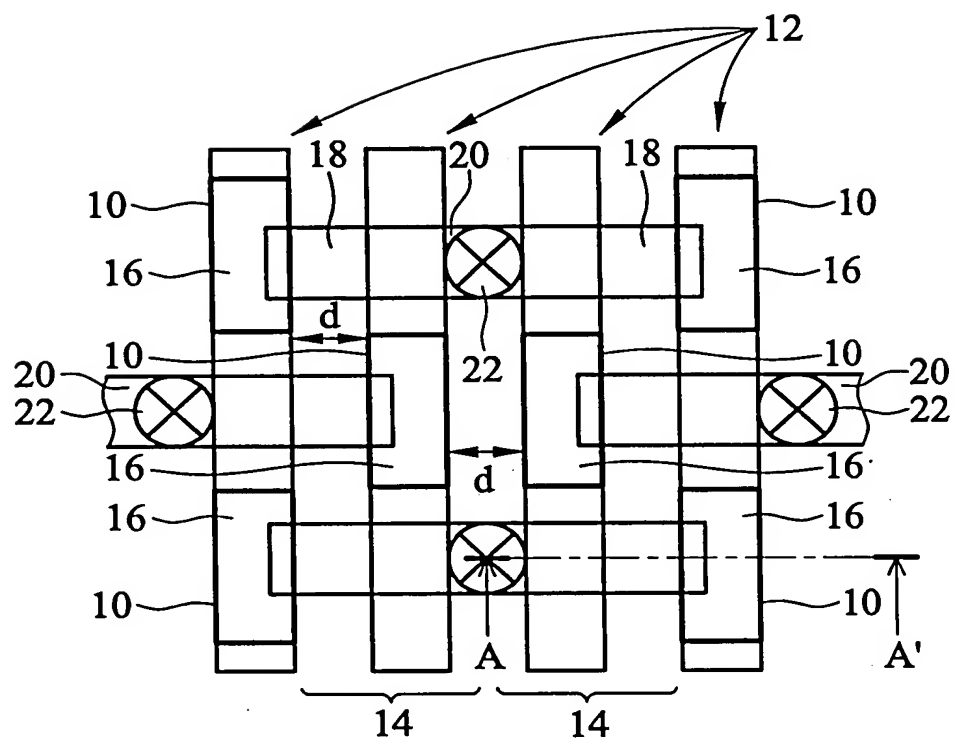


#### 六、申請專利範圍

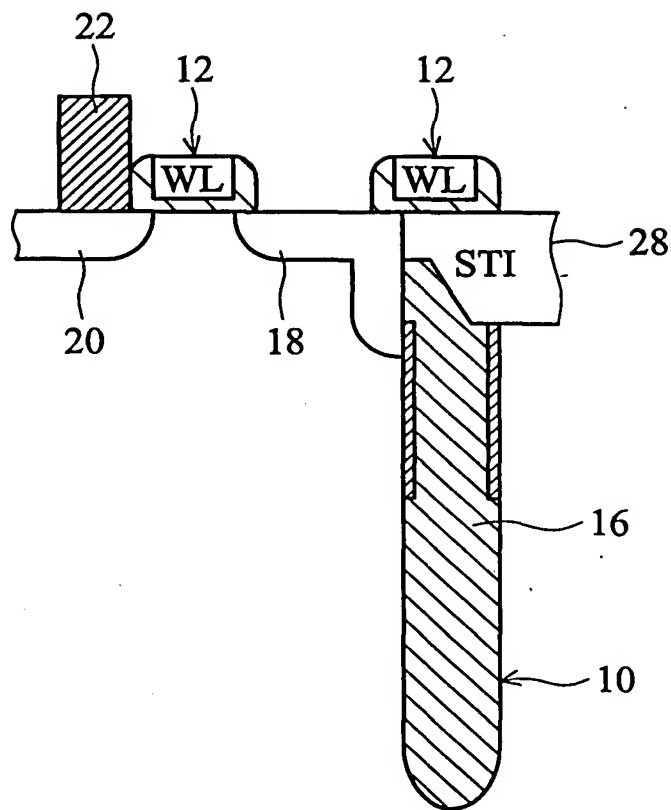
法，其中該測試元件之該第一、第二路過字元線之寬度均相等，且該矩形字元線之寬度大於該第一、第二路過字元線之寬度。

11. 根據申請專利範圍第6項所述之用於偵測動態隨機存取記憶體之字元線結構與深溝電容器重疊偏移的測試方法，其中該測試元件之該矩形字元線之寬度大體為0.6微米。

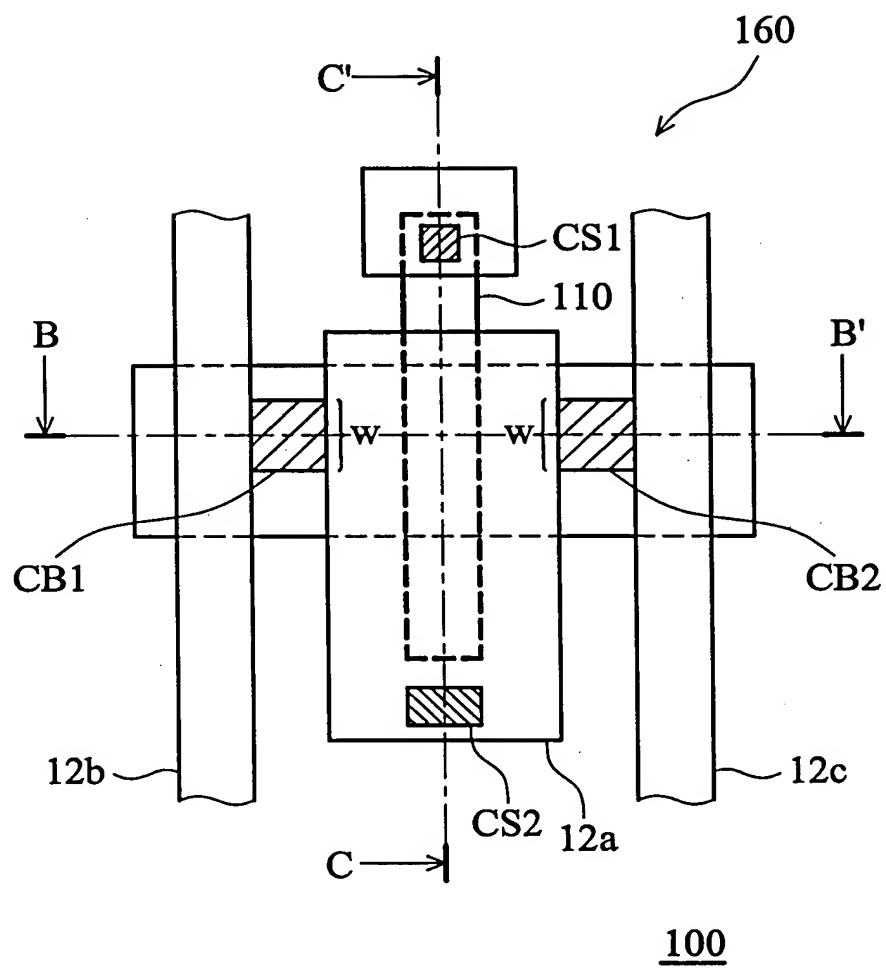




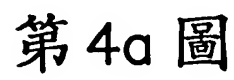
第 1 圖



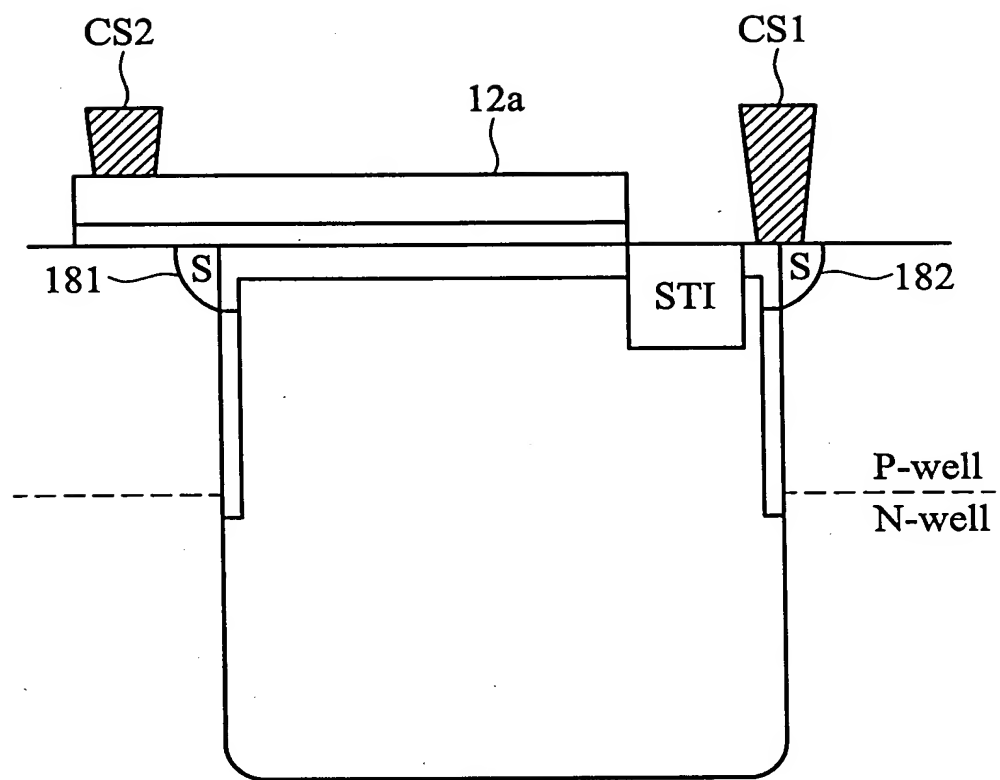
第 2 圖



第 3 圖



第 4a 圖

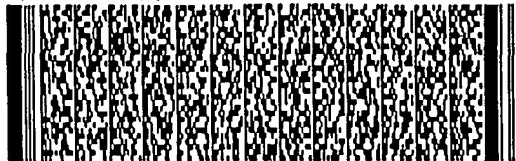


第 4b 圖

第 1/17 頁



第 1/17 頁



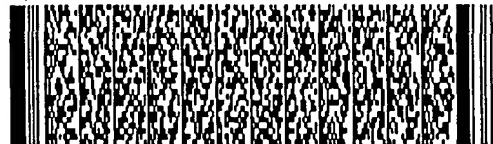
第 2/17 頁



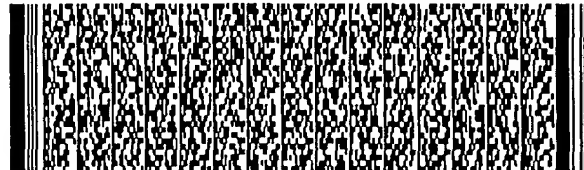
第 2/17 頁



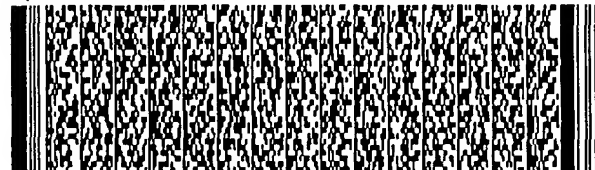
第 3/17 頁



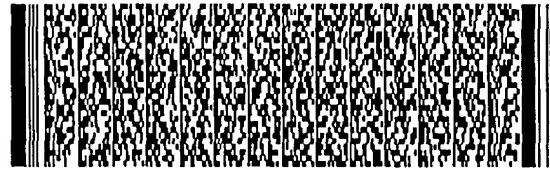
第 5/17 頁



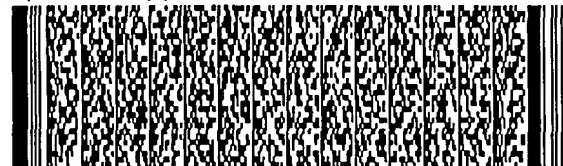
第 5/17 頁



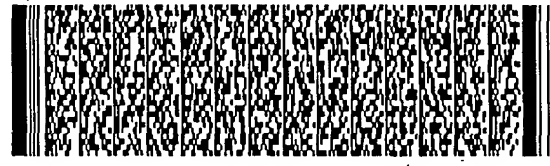
第 6/17 頁



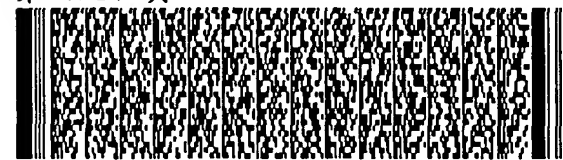
第 6/17 頁



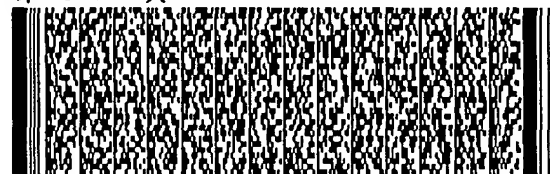
第 7/17 頁



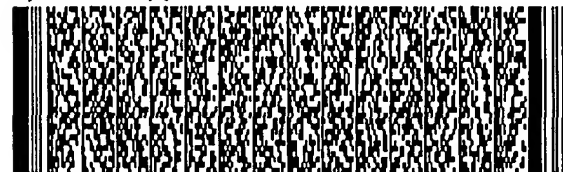
第 7/17 頁



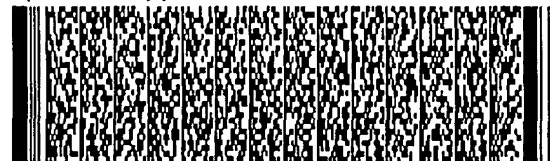
第 8/17 頁



第 8/17 頁



第 9/17 頁



第 9/17 頁

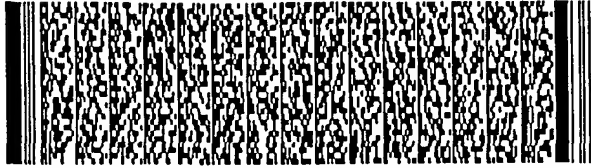


第 10/17 頁

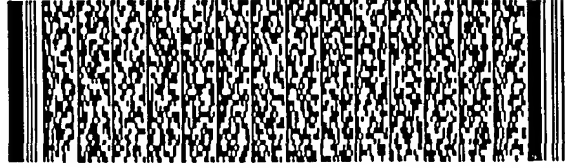




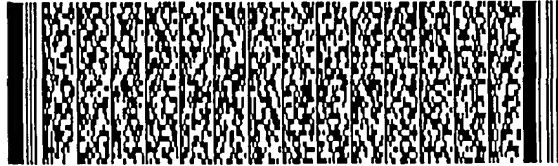
第 10/17 頁



第 11/17 頁



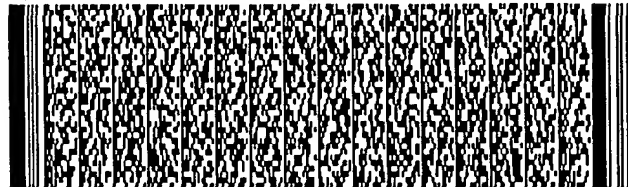
第 11/17 頁



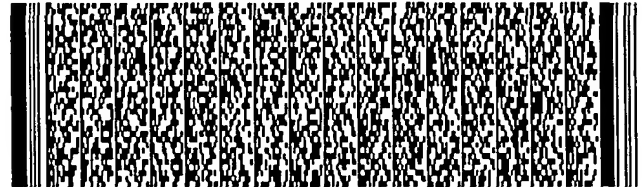
第 12/17 頁



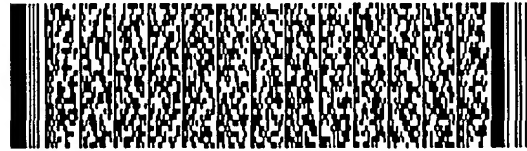
第 13/17 頁



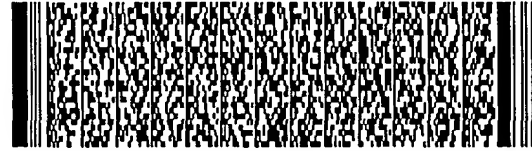
第 14/17 頁



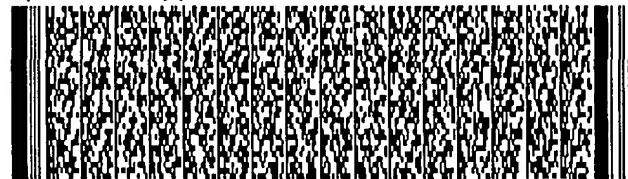
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

